

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 48979 호
Application Number PATENT-2002-0048979

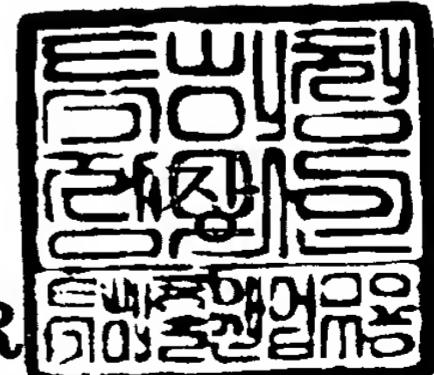
출원년월일 : 2002년 08월 19일
Date of Application AUG 19, 2002

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002 년 09 월 11 일



특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.08.19
【발명의 명칭】	반도체장치의 전극형성방법 및 장치
【발명의 영문명칭】	Method for forming electrode in semiconductor device and device thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이승재
【성명의 영문표기】	LEE, Seung Jae
【주민등록번호】	680107-1117413
【우편번호】	442-373
【주소】	경기도 수원시 팔달구 매탄3동 1258 매탄그린빌 1단지 102-503
【국적】	KR
【발명자】	
【성명의 국문표기】	홍진기
【성명의 영문표기】	HONG, Jin Gi
【주민등록번호】	640227-1351614
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1046-1번지 청명마을 삼성아 파트 435-6 03
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
박영우 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	5	면	5,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】			431,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 전극형성방법 및 장치에 관한 것으로서, 특히 반도체 기판 상에 형성된 폴리실리콘층 상에 다이클로로실란 반응을 이용한 텅스텐 실리사이드를 형성하는 전극형성방법에 있어서, 텅스텐실리사이드 형성과정에서 사용된 염소이온이 상기 폴리실리콘층으로 확산되는 것을 방지하기 위하여 상기 폴리실리콘층 상에 박막의 비정질 실리콘층을 형성한 후에 상기 텅스텐 실리사이드를 형성한다.

따라서, 비정질실리콘층이 텅스텐 실리사이드 형성시 폴리실리콘층으로 염소이온의 확산을 방지함으로서 폴리실리콘층의 이상성장을 방지할 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

반도체장치의 전극형성방법 및 장치{Method for forming electrode in semiconductor device and device thereof }

【도면의 간단한 설명】

도 1은 불휘발성 메모리 장치의 게이트 전극 구조를 설명하기 위한 도면.

도 2A 내지 도 2D는 관련된 기술분야의 불휘발성 메모리 장치의 텅스텐 실리사싱드 게이트 전극층의 형성방법을 설명하기 위한 공정순서도.

도 3은 도 2A 내지 도 2D에 의한 텅스텐 실리사이드 게이트 전극층의 형성방법에 의한 전극층에서 폴리실리콘층의 이상 성장을 나타낸 전자현미경 사진.

도 4는 본 발명에 의한 불휘발성 메모리장치의 게이트 전극층의 구조를 설명하기 위한 도면.

도 5A 내지 도 5E는 본 발명에 의한 불휘발성 메모리 장치의 텅스텐 실리사싱드 게이트 전극층의 형성방법을 설명하기 위한 공정순서도.

도면의주요 부분에 대한 부호의 간단한 설명

30 : 실리콘기판

32 : 게이트 절연막

34 : 플로팅 게이트 전극층

36 : 유전막

38 : 콘트롤 게이트 전극층

38a : 결정화 폴리실리콘층

38b : 캡핑층

38c : 텅스텐실리사이드층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 장치의 전극형성방법 및 장치에 관한 것으로서, 특히 다이클로로 실란 반응을 이용한 텅스텐실리사이드를 포함한 전극층 구조를 개선할 수 있는 전극형성방법 및 장치에 관한 것이다.

<16> 최근에 반도체 집적회로의 미세화에 따라, 금속-산화막-반도체(MOS)형 트랜지스터의 게이트 전극을 저(低)저항화시키려는 요구가 높아지고 있다. 이러한 저저항화를 위해, 폴리사이드 게이트 구조를 게이트 전극에 채용하고 있다.

<17> 특히, 패턴들이 점점 작아짐에 따라 폴리실리콘의 비저항이 너무 커서 RC 시간 지연 및 IR 전압 강하 등이 증가하였다. 이에 따라, 폴리실리콘과 유사한 특성을 가지면서 그보다 수~수십배 낮은 비저항을 갖는 폴리사이드(polycide), 즉 폴리실리콘과 고융점 금속 실리사이드(refractory metal silicide)의 복합층이 초고집적(VLSI) 회로의 게이트 전극이나 비트라인 등의 배선 전극으로 사용되고 있다.

<18> 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti) 및 탄탈륨(Ta)과 같은 고융점 금속의 실리사이드는 VLSI 회로의 제조에 사용되는 저저항 배선 물질로 적당하다. 실리사이드는 고농도로 도핑된 폴리실리콘과 결합하여 폴리사이드 구조의 게이트 전극을

형성한다. 고용점 금속 실리사이드를 증착하는 바람직한 방법은 저압 화학 기상 증착 (low pressure chemical vapor deposition; LPCVD) 방법이다.

<19> 특히, 텅스텐 실리사이드는 폴리실리콘과 결합하여 사용하는데 있어서 셀프-패시베이션(self-passivation), 습식 화학제(wet chemical)에 대한 안정성(stability), 표면 거칠기(surface roughness), 접착성(adhesion), 산화성(oxidation) 및 재현성(reproducibility) 등의 특성이 우수한 것으로 알려져 있다.

<20> 텅스텐 실리사이드(WSix) 박막은 모노실란(SiH₄) 및 육불화텅스텐(WF₆)를 전조(precursor) 가스로 사용하여 반도체 기판 상에 저압 화학 기상 증착(LPCVD) 방법으로 증착되어 왔다.

<21> 그러나, 이 공정은 여러 가지 문제를 갖고 있는데, 그 중의 하나는 텅스텐 실리사이드가 단차진 형상 위에서 등각(conformal)으로 증착되지 않는다는 것이다.

<22> 또 다른 문제점은 증착된 텅스텐 실리사이드 박막 내의 잔류 불소 함유량이 높아 소자의 성능에 치명적인 영향을 미친다는 것이다. 예를 들어, 반도체 웨이퍼가 어닐링 동안 약 850°C 이상의 온도에 노출되면, 여분의 불소 이온들이 그 하부의 폴리실리콘막을 통해 하부 실리콘 산화막으로 이동된다. 이에 따라, 실리콘 산화막의 유효 두께가 증가하게 되어 이러한 충을 갖는 반도체 소자의 전기적 특성이 변하게 된다.

<23> 이에 따라, 모노실란(SiH₄) 대신에 다이클로로실란(DCS; SiH₂Cl₂)을 사용하여 텅스텐 실리사이드막을 증착하는 개량된 공정이 제안되었다. 다이클로로실란을 사용하여 증착된 텅스텐 실리사이드막(이하, DCS 텅스텐 실리사이드막이라 한다)은 모노실란을 사용

하여 증착된 텡스텐 실리사이드막(이하, MS 텡스텐 실리사이드막이라 한다)보다 낮은 불소 함유량 및 우수한 단차 도포성을 갖는다.

<24> 이와 같이 DCS 텡스텐 실리사이드막은 MS 텡스텐 실리사이드막에 비해 많은 장점을 갖고 있어 워드라인(즉, 게이트 전극)이나 비트라인 등의 배선 물질로 주목받고 있으나, 다이클로로실란 가스를 텡스텐 헥사플루오라이드(WF_6) 가스와 반응시키는 과정에서 박막의 내부 및 표면에 염소(Cl)기가 잔존되어 많은 문제점들을 초래하게 된다.

<25> 일반적으로, DCS 텡스텐 실리사이드막은 MS 텡스텐 실리사이드막에 비해 약 200°C 이상 높은 620°C에서 증착되며, 6각형 상(hexagonal phase)과 4면체 사이트(tetrahedral site)가 공존하는 주상(columnar) 구조를 갖고 있다. 또한, 1개의 텡스텐과 8개의 실리콘이 공유 결합하는 바디-센터드 큐빅(body-centered cubic) 구조를 갖고 있으며, 결합에 관여하지 않은 과잉의 실리콘(Si)들이 스태킹 폴트(stacking fault)로 작용한다. 이 스태킹 폴트로 작용하는 실리콘(Si)이 다이클로로실란 가스로부터 해리된 염소(Cl)와 결합하여 염화실리콘($SiCl_x$) 결정을 형성한다.

<26> 염소는 실리콘과 결합하기 위해 Si-H 결합 또는 Si-Si 결합을 끊게 되고, 다시 여분의 실리콘이 염소와 재결합하게 된다. 따라서, 연속적인 분리와 결정 결합의 도미노 현상이 텡스텐 실리사이드막으로부터 그 하부의 폴리실리콘막으로 확산되면서, 텡스텐 실리사이드막과 폴리실리콘막의 계면 부위에 $SiCl_x$ 결정의 형태로 염소들이 집중된다.

<27> 또한, 약 800°C의 어닐링 후에는 텡스텐 실리사이드막이 4면체 사이트의 결정구조로 안정적인 화학량적 조성비(stoichiometry)를 갖기 때문에, 상대적으로 실리콘이 풍부한 폴리실리콘막 쪽으로 $SiCl_x$ 결정으로 판단되는 염소량이 증가된다

<28> 이와 같이 DCS 텅스텐 실리사이드막의 증착공정에 의하면, 박막의 내부 및 그 하지 층인 폴리실리콘막의 표면에 SiCl_x 결정이 다량 잔존하게 되어 상기 SiCl_x 결정에 의한 빛의 산란으로 은하수 현상(즉, 광학 현미경으로 보면 반짝 반짝 빛나는 점의 집합)이 발발하여 비주얼(visual) 불량이 초래된다. 이러한 비주얼 불량은 후속의 사진식각 공정에 영향을 미치게 되어 사진식각 공정을 원활하게 수행하지 못하는 불량의 원인으로 작용하게 된다.

<29> 또한, 폴리실리콘막의 내부 및 표면에 다량 함유되어 있는 염소들은 SiCl_x 결정의 형태로 확산되면서 폴리실리콘막의 이상 성장을 유발하게 된다.

<30> 특히, DCS 텅스텐 실리사이드막의 증착 후 실시하는 모노실란(SiH_4) 포스트-플러싱은 텅스텐 실리사이드막 내에 여분의 실리콘들을 계속적으로 공급하게 된다.

<31> 따라서, DCS 텅스텐 실리사이드 증착 및 SiH_4 포스트-플러쉬 단계가 완료된 후, 여분의 실리콘들의 확산에 의해 비정질 상태의 폴리실리콘막의 성장과 결정화가 국부적으로 진행되어 그 위의 텅스텐 실리사이드막을 부분적으로 뚫고 나오는 크랙 현상, 즉 헤이즈(Haze) 현상이 발생하게 된다

<32> 특히 비정질실리콘을 결정화하여 결정화된 폴리실리콘층을 형성한 후에 다이클로로실란반응을 이용한 텅스텐실리사이드를 형성한 경우에는 하부 폴리실리콘층이 이상 성장하는 문제점이 지적되는 바, 이와 같은 이상 성장하는 메카니즘은 DCS 가스를 사용하여 텅스텐실리사이드를 형성하는 과정에서 염소이온이 폴리실리콘의 결정 입계(grain boundary)로 확산되어 존재하다가 후처리용 실란가스가 제공되게 되면 실란가스가 열분해되면서 실리콘이온이 확산되어 염소이온과 반응하게 되어 폴리실리콘의 성장되는 것으로 추정되고 있다.

<33> 이와 같은 하부 폴리실리콘의 이상 성장은 전극층 전체에 기계적 스트레스를 가하게 되므로, 전극층에 대하여 구조적 및 전기적 특성을 열하시키는 원인으로 제공될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 폴리실리콘의 결정화에 의해 결정입계에 염소이온이 모이게 되는 것이 근본적인 원인이므로 이를 차단하기 위하여 폴리실리콘층 상에 박막의 비정질 실리콘을 형성하여 캡핑함으로써 폴리실리콘의 이상 성장을 방지할 수 있는 전극형성방법 및 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

<35> 상기 목적을 달성하기 위하여 본 발명의 방법은 텅스텐실리사이드 형성과정에서 사용된 염소이온이 상기 폴리실리콘층으로 확산되는 것을 방지하기 위하여 상기 폴리실리콘층 상에 박막의 비정질 실리콘층을 형성한 후에 상기 텅스텐 실리사이드를 형성하는 것을 특징으로 한다.

<36> 본 발명에서 비정질실리콘층의 두께는 폴리실리콘층에 염소이온이 하방으로 확산되는 것을 방지할 수 있을 정도의 두께, 예컨대 50Å 이상으로 하는 것이 바람직하다.

<37> 본 발명에서 폴리실리콘층은 폴리실리콘 또는 비정질 실리콘을 결정화시킨 폴리실리콘으로 형성될 수 있다.

<38> 본 발명의 장치는 반도체 기판 상에 형성된 게이트 산화막과, 상기 게이트 산화막 상에 형성된 플로팅 게이트 전극층과, 상기 플로팅 게이트 전극층 상에 형성된 유전막과, 상기 유전막 상에 퇴적된 비정질실리콘을 결정화한 폴리실리콘층과, 상기 폴리실리콘

층에 염소이온의 확산을 방지하여 이상 성장을 방지하기 위하여 상기 폴리실리콘층상에 형성된 박막의 캡핑층과, 상기 캡핑층 상에 다이클로로실란 반응에 의해 형성된 텅스텐 실리사이드층을 구비한다.

<39> 이하 첨부한 도면을 참조하여 본 발명을 보다 상세히 설명하고자 한다.

<40> 도 1을 참조하면, 불휘발성 메모리 장치의 게이트 전극은 실리콘기판(10) 상에 게이트 절연막(12), 플로팅 게이트전극층(14), 유전막(16), 콘트롤 게이트전극층(18)의 적층구조로 구성된다.

<41> 플로팅 게이트 전극층(14)은 셀영역으로 한정되지만 콘트롤 게이트 전극층(18)은 콘트롤신호가 인가되는 배선 형태로 제공된다. 그러므로, 콘트롤 게이트 전극층(18)은 저저항이 요구되므로 폴리실리콘층(18a)과 금속실리사이드층(18b)으로 구성한다.

<42> 도 2A 내지 도2D를 참조하면, 불휘발성 메모리장치의 게이트 전극은 실리콘기판(10) 상에 게이트 절연막(12)을 형성한다. 게이트 절연막(12)은 적어도 일부분에 데이터의 기입 및 소거를 위한 터널링 영역을 가진다.

<43> 게이트 절연막(12) 상에 플로팅 게이트 전극층(14)을 위한 폴리실리콘층을 퇴적한다. 폴리실리콘층 상에 유전막(16), 예컨대 산화막/질화막/산화막의 적층구조를 가진 유전막을 형성한다.

<44> 유전막(16) 상에 아몰퍼스 실리콘(20)을 도 2A에 도시한 바와 같이 약 2,000Å 정도의 두께로 퇴적시킨 다음에 질소 분위기에서 어닐링하여 도 2B에 도시한 바와 같이 폴리실리콘(22)으로 결정화시킨다. 즉, 공정챔버 내에 웨이퍼를 준비하고 질소가스를 공급

하면서 대략 850°C의 온도로 약 30분 정도 어닐링하면 비정질 실리콘(20)이 결정화되어 소정 그레인 사이즈를 가진 폴리실리콘(22)으로 변화된다.

<45> 결정화된 폴리실리콘층(22)을 식각챔버에서 에치백공정으로 식각하여 도 2C에 도시한 바와 같이 남는 폴리실리콘층(18a)의 두께가 대략 1,000Å 정도가 되도록 한다. 에치백 이후에 세정장비를 통하여 SE10 세정 및 DF48 세정과정을 거쳐서 웨이퍼를 세정한다.

<46> 세정 후에 웨이퍼를 텅스텐 실리사이드 공정챔버로 로딩한다.

<47> 텅스텐 실리사이드 공정챔버에서는 웨이퍼를 가열한 후에 후속공정에서 사용되는 염소이온이 하부층에 확산되는 것을 방지하기 위하여 실란가스를 먼저 챔버 내에 유입하여 웨이퍼를 표면처리하는 선플러쉬공정을 수행한다.

<48> 웨이퍼 표면의 실리콘원자들은 실란가스로부터 열분해된 수소와 결합하여 표면에 수소기로 형성된 버퍼막을 형성한다.

<49> 이어서, 다이클로로실란가스와 육불화텅스텐가스의 혼합가스가 챔버 내에 유입되면 폴리실리콘(18a) 표면에 수소기는 불소기 및 염소기와 반응하여 불화가스 및 염소가스, 실란가스로 날라가고, 표면에 실리콘 또는 텅스텐 핵이 자리를 잡게 되고 이 핵을 중심으로 실리콘 또는 텅스텐이 결합하여 텅스텐 실리사이드층(18b)이 퇴적된다.

<50> 그러나, 일부 염소이온들은 하부의 폴리실리콘층(18a) 내로 확산되어 결정입계에 모이게 된다. 결정화된 폴리실리콘의 결정입계는 경계조건에 의해 염소이온과 같은 불순물들이 쉽게 포획되는 환경을 제공한다.

<51> 이어서, 챔버 내에 존재하는 다이클로로실란가스를 정화(PURGE)한 다음에 다시 후처리용 실란가스를 챔버내로 제공한다. 후처리용 실란가스는 남아있는 염소이온들을 열분해된 수소이온과 반응시켜 제거하기 위한 것이다.

<52> 그러나, 제공된 실란가스가 열분해되어 생성된 실리콘이온이 하방으로 확산되어 폴리실리콘층(18a)에 도달되면 결정입계에 모여 있는 염소이온들과 반응하므로 폴리실리콘층(18a)의 표면에서 원하지 않은 폴리실리콘층(24)이 도 1D에 도시한 바와 같이 성장되게 된다.

<53> 도 3을 참조하면, 최초 폴리실리콘층의 두께는 1054Å 정도 이었으나 텅스텐 실리사이드층을 퇴적한 다음에는 약 433Å 정도가 이상 성장하였음을 관찰할 수 있었다.

<54> 이와 같은 텅스텐 실리사이드층 하부에 존재하는 폴리실리콘층의 이상 성장은 결국 게이트 전극 전체에 기계적, 물리적인 응력을 발생하게 되므로 심할 경우 게이트 전극층이 들뜨거나 전기적 특성을 열하시키는 원인을 제공할 수 있다.

<55> 따라서, 본 발명에서는 이와 같은 현상을 방지하기 위하여 결정화된 폴리실리콘층 상에 비정질 실리콘층을 구비하여 염소이온이 하부로 확산되는 것을 방지한다.

<56> 도 4를 참조하면, 본 발명에 의한 불휘발성 반도체 메모리 장치의 게이트 전극층은 실리콘기판(30) 상에 게이트 절연막(32), 플로팅 게이트 전극층(34), 유전막(36), 콘트롤 게이트 전극층(38)의 적층구조를 이룬다. 콘트롤 게이트 전극층(38)은 결정화된 폴리실리콘층(38a), 비정질 실리콘층으로 형성된 캡핑층(38b), 텅스텐 실리사이드층(38c)의 적층구조를 이룬다.

<57> 캡핑층(38a)은 결정화된 폴리실리콘층(38a)에 염소이온이 확산되는 것을 방지하여 폴리실리콘층(38a)의 이상 성장을 방지한다.

<58> 도 5A 및 도 5E를 참조하면, 본 발명의 불휘발성 메모리 장치, 예컨대 EEPROM, 플래쉬 메모리 등의 게이트 전극층은 실리콘기판(30) 상에 게이트 절연막(32)을 형성한다. 게이트 절연막(32)은 적어도 일부분에 데이터의 기입 및 소거를 위한 터널링 영역을 가진다.

<59> 게이트 절연막(32) 상에 플로팅 게이트 전극층(34)을 위한 폴리실리콘층을 퇴적한다. 폴리실리콘층 상에 유전막(36), 예컨대 산화막/질화막/산화막의 적층구조를 가진 유전막을 형성한다.

<60> 유전막(36) 상에 아몰퍼스 실리콘(40)을 도 5A에 도시한 바와 같이 약 $2,000\text{ \AA}$ 정도의 두께로 퇴적시킨 다음에 질소 분위기에서 어닐링하여 폴리실리콘(42)으로 결정화시킨다.

<61> 즉, 공정챔버 내에 웨이퍼를 준비하고 질소가스를 공급하면서 대략 850°C 의 온도로 약 30분 정도 어닐링하면 비정질 실리콘(40)이 결정화되어 도 5B에 도시한 바와 같이 소정 그레인 사이즈를 가진 폴리실리콘층(42)으로 변화된다.

<62> 결정화된 폴리실리콘층(42)을 식각챔버에서 에치백공정으로 식각하여 도 5C에 도시한 바와 같이 남는 폴리실리콘층(38a)의 두께가 대략 $1,000\text{ \AA}$ 정도가 되도록 한다. 에치백 이후에 세정장비를 통하여 SE10 세정 및 DF48 세정과정을 거쳐서 웨이퍼를 세정한다.

<63> 세정 후에 웨이퍼를 아몰퍼스 실리콘을 퇴적할 CVD공정챔버로 로딩한다.

<64> CVD 공정챔버에서 웨이퍼 표면에 대략 50Å 이상의 두께로 아몰퍼스 실리콘층을 퇴적하여 캡핑층(38b)을 형성한다. 캡핑층(38b)은 아몰퍼스 상태 즉 비정질 상태이므로 결정입계를 가지지 않는다. 캡핑층(38b)은 후속공정시 염소이온이 하부의 결정화된 폴리실리콘층(38a)에 전달되지 않을 정도의 두께이면 충분하다.

<65> 비정질 실리콘층(38b)이 형성된 웨이퍼를 텅스텐 실라사이드 퇴적용 공정챔버로 로딩한다.

<66> 텅스텐 실라사이드 공정챔버에서는 웨이퍼를 가열한 후에 후속공정에서 사용되는 염소이온이 하부층에 확산되는 것을 방지하기 위하여 실란가스를 먼저 챔버 내에 유입하여 웨이퍼를 표면처리한다.

<67> 웨이퍼 표면의 실리콘원자들은 실란가스로부터 열분해된 수소와 결합하여 표면에 수소기로 형성된 버퍼막을 형성한다.

<68> 이어서, DCS가스/WF6가스가 소정의 유량비로 혼합되고, 혼합된 처리 가스는, 가스 분배 플레이트를 거쳐, 공정챔버 안으로 도입된다. 처리가스는, 실리콘 원자가 풍부한 (silicon-rich) WSix막을 퇴적하기 위해 적합한 가스 조성으로 조정된다.

<69> 다이클로로실란가스와 육불화텅스텐가스의 혼합가스가 챔버 내에 유입되고 다이클로로실란 가스로부터 해리되어 발생한 염소 기가 상기 폴리실리콘막의 표면에 달라붙어 있는 수소 기와 반응하여 염화수소(HCl)로 환원되어 배기 가스와 함께 배출된다. 따라서, 염소가 상기 폴리실리콘막 내로 축적되는 것을 방지할 수 있다.

<70> 표면에 실리콘 또는 텅스텐 핵이 자리를 잡게 되고 이 핵을 중심으로 실리콘 또는 텅스텐이 결합하여 도 5E에 도시한 바와 같이 텅스텐 실라사이드층(38c)이 퇴적된다.

<71> 하방으로 확산되는 일부 염소이온들은 비정질 실리콘층(38b)에 캡핑되어 그 이상 하부로 전달되지 못하며, 비정질 실리콘층(38b)에는 결정입계가 존재하지 않으므로 수소와 반응하여 공기 중으로 배기 처리된다.

<72> 이어서, 챔버 내에 존재하는 다이클로로실란가스를 정화(PURGE)한 다음에 다시 후처리용 실란가스를 챔버내로 제공하는 후플러쉬(post flush) 공정을 수행한다. 후플러쉬 공정은 텅스텐 실리사이드층(38c)의 표면에 챔버내에 잔존하는 염소이온들이 결합되는 것을 방지하고 스트레스를 완화시키기 위하여 시행한다.

<73> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<74> 상술한 바와 같이, 본 발명에서는 결정화 폴리실리콘층을 비정질실리콘층으로 캡핑 함으로써, 염소이온이 하부의 폴리실리콘층으로 확산되는 것을 방지함으로써, 폴리실리콘의 이상 성장을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 형성된 폴리실리콘층 상에 다이클로로실란 반응을 이용한 텅스텐 실리사이드를 형성하는 전극형성방법에 있어서,
상기 텅스텐실리사이드 형성과정에서 사용된 염소이온이 상기 폴리실리콘층으로 확산되는 것을 방지하기 위하여 상기 폴리실리콘층 상에 박막의 비정질 실리콘층을 형성한 후에 상기 텅스텐 실리사이드를 형성하는 것을 특징으로 하는 전극형성방법.

【청구항 2】

제1항에 있어서, 상기 비정질실리콘층의 두께는 50Å 이상으로 하는 것을 특징으로 하는 전극형성방법.

【청구항 3】

제1항에 있어서, 상기 폴리실리콘층은 폴리실리콘 또는 비정질 실리콘을 결정화시킨 폴리실리콘으로 형성된 것을 특징으로 하는 전극형성방법.

【청구항 4】

반도체 기판 상에 게이트 절연막, 플로팅 게이트용 폴리실리콘막, 유전막 및 콘트롤 게이트용 전극층을 적층한 전극형성방법에 있어서,
상기 콘트롤 게이트용 전극층의 형성은
상기 유전막 상에 비정질 실리콘을 퇴적하는 단계;
상기 비정질 실리콘을 질화 분위기에서 어닐링하여 폴리실리콘으로 결정화하여 폴리실리콘층을 형성하는 단계;

상기 폴리실리콘층 상에 박막의 비정질 실리콘층을 형성하는 단계; 및
상기 비정질 실리콘층 상에 다이클로로실란 반응을 이용한 텅스텐실리사이드막을
형성하는 단계를 구비한 것을 특징으로 하는 전극형성방법.

【청구항 5】

제4항에 있어서, 상기 비정질실리콘층의 두께는 50Å 이상으로 하는 것을 특징으로
하는 전극형성방법.

【청구항 6】

제4항에 있어서, 상기 텅스텐실리사이드막의 형성은
상기 비정질 실리콘층이 형성된 웨이퍼가 로딩된 챔버 내에 실란가스를 공급하는
단계;

상기 챔버 내에 다이클로로실란가스와 육불화텅스텐가스를 제공하여 상기 비정질실
리콘 상에 텅스텐실리사이드막을 퇴적시키는 단계;

상기 퇴적된 텅스텐실리사이드막을 퍼지시키는 단계;
상기 퍼지이후 상기 챔버내에 실란가스를 공급하는 단계를 구비하는 것을 특징으로
하는 전극형성방법.

【청구항 7】

반도체 기판 상에 형성된 게이트 산화막;

상기 게이트 산화막 상에 형성된 플로팅 게이트 전극층;

상기 플로팅 게이트 전극층 상에 형성된 유전막;

상기 유전막 상에 퇴적된 비정질실리콘을 결정화한 폴리실리콘층;

상기 폴리실리콘층에 염소이온의 확산을 방지하여 이상 성장을 방지하기 위하여
상기 폴리실리콘층상에 형성된 박막의 캡핑층; 및
상기 캡핑층 상에 다이클로로실란 반응에 의해 형성된 텅스텐 실리사이드층을 구비
한 것을 특징으로 하는 반도체 메모리 장치의 게이트 전극장치.

【청구항 8】

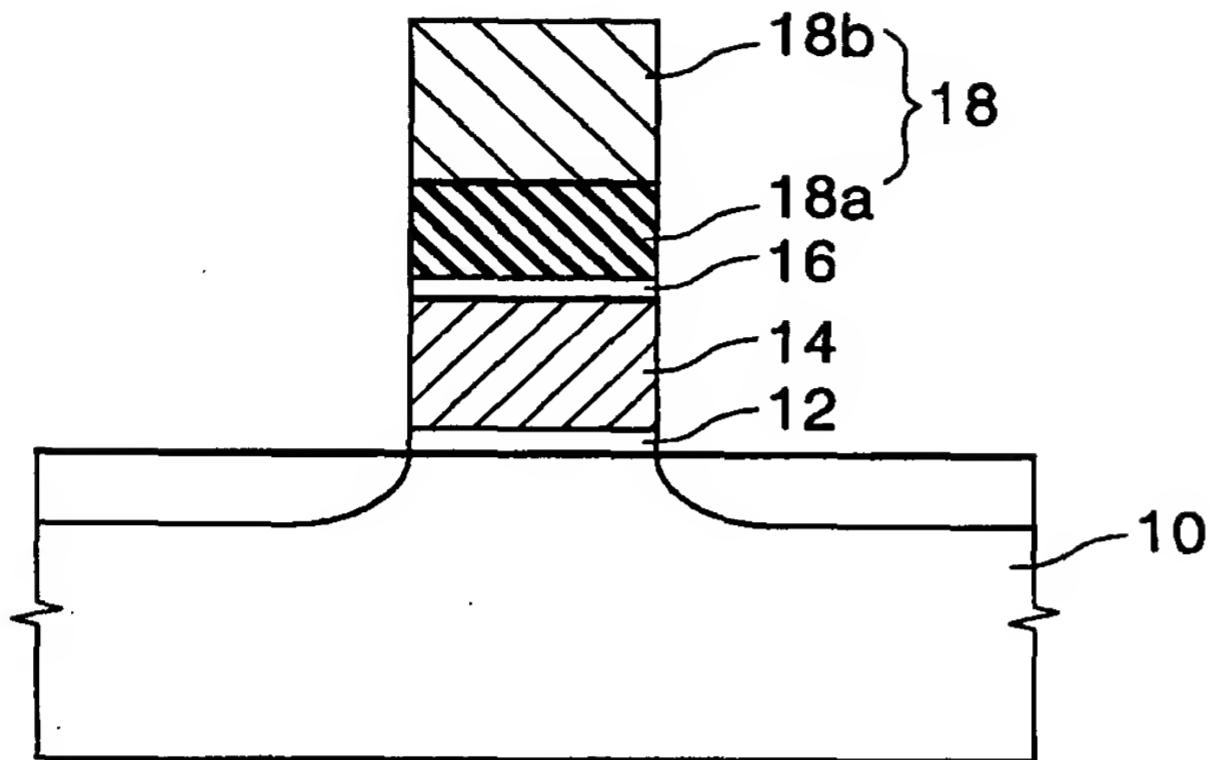
제7항에 있어서, 상기 캡핑층의 두께는 50Å 이상으로 하는 것을 특징으로 하는 반
도체 메모리 장치의 게이트 전극장치.

【청구항 9】

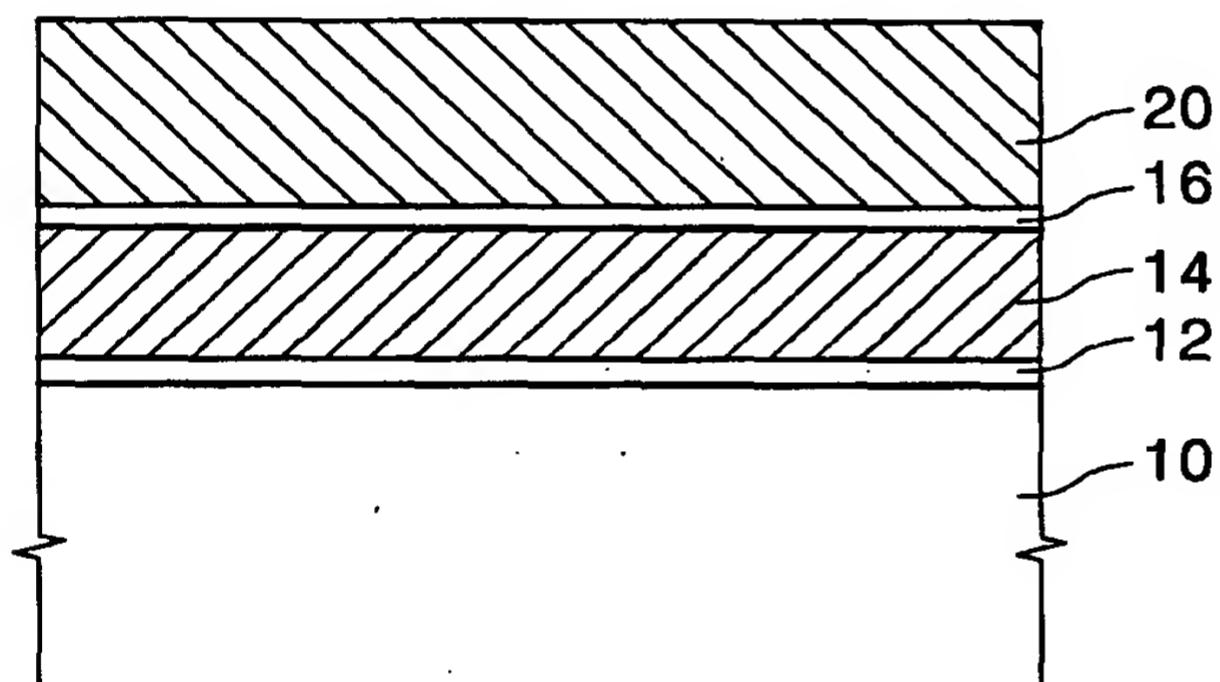
제7항에 있어서, 상기 캡핑층은 비정질 실리콘으로 형성된 것을 특징으로 하는 반
도체 메모리 장치의 게이트 전극장치.

【도면】

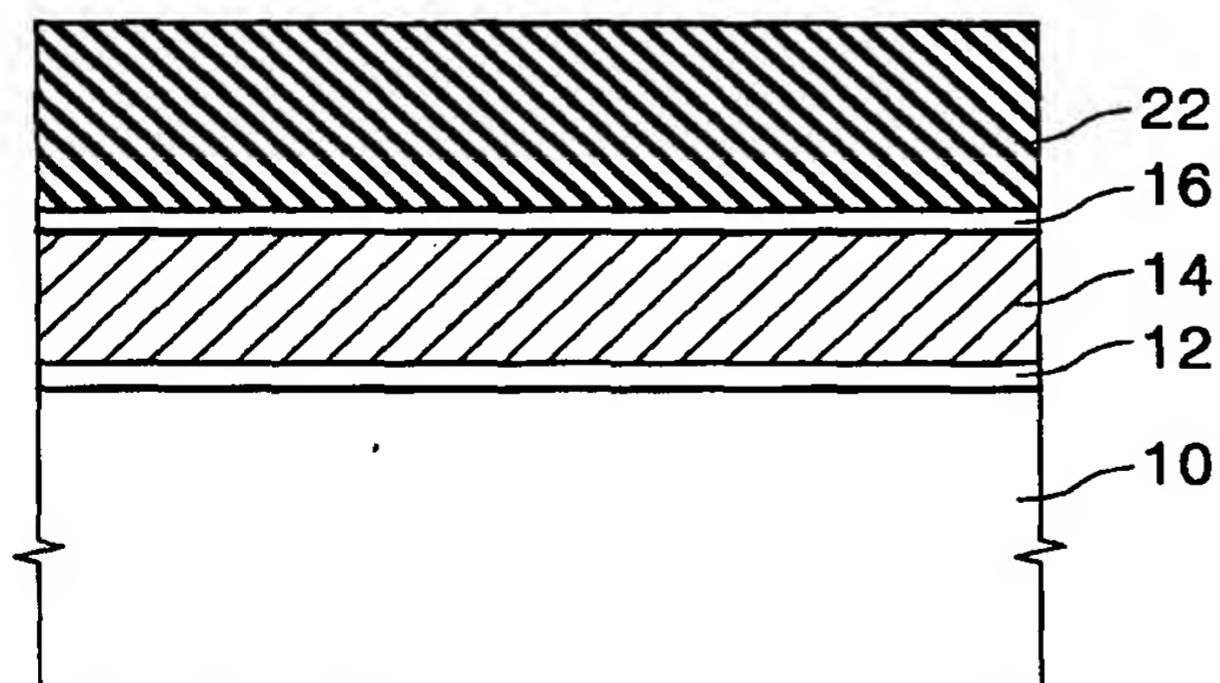
【도 1】



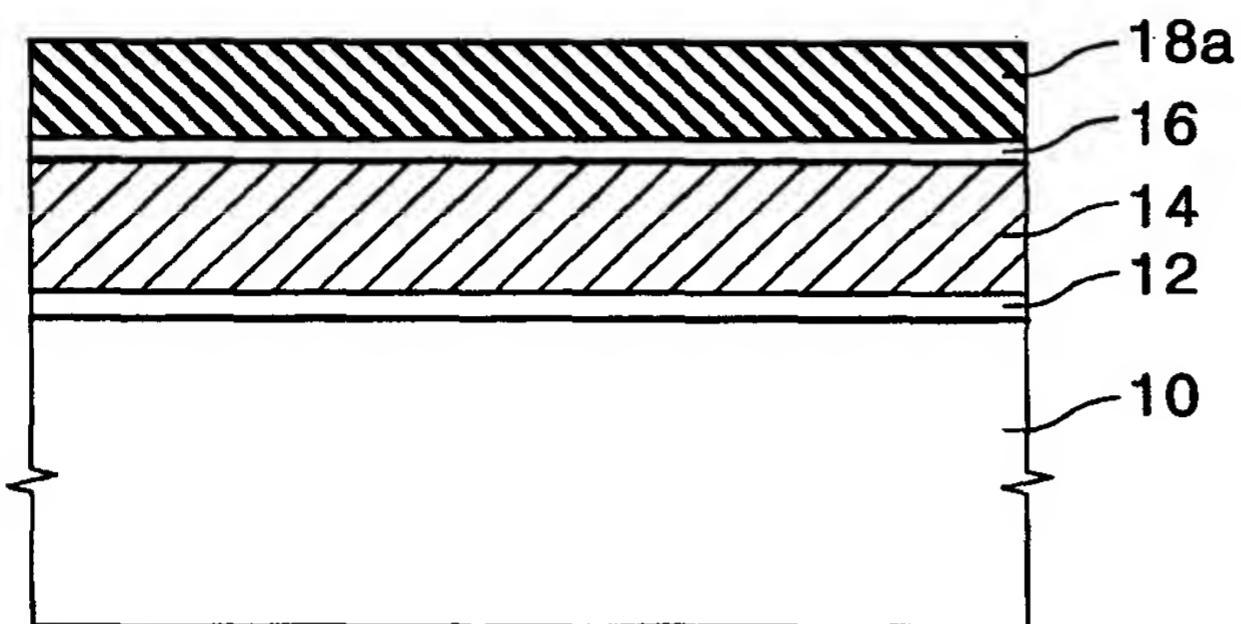
【도 2a】



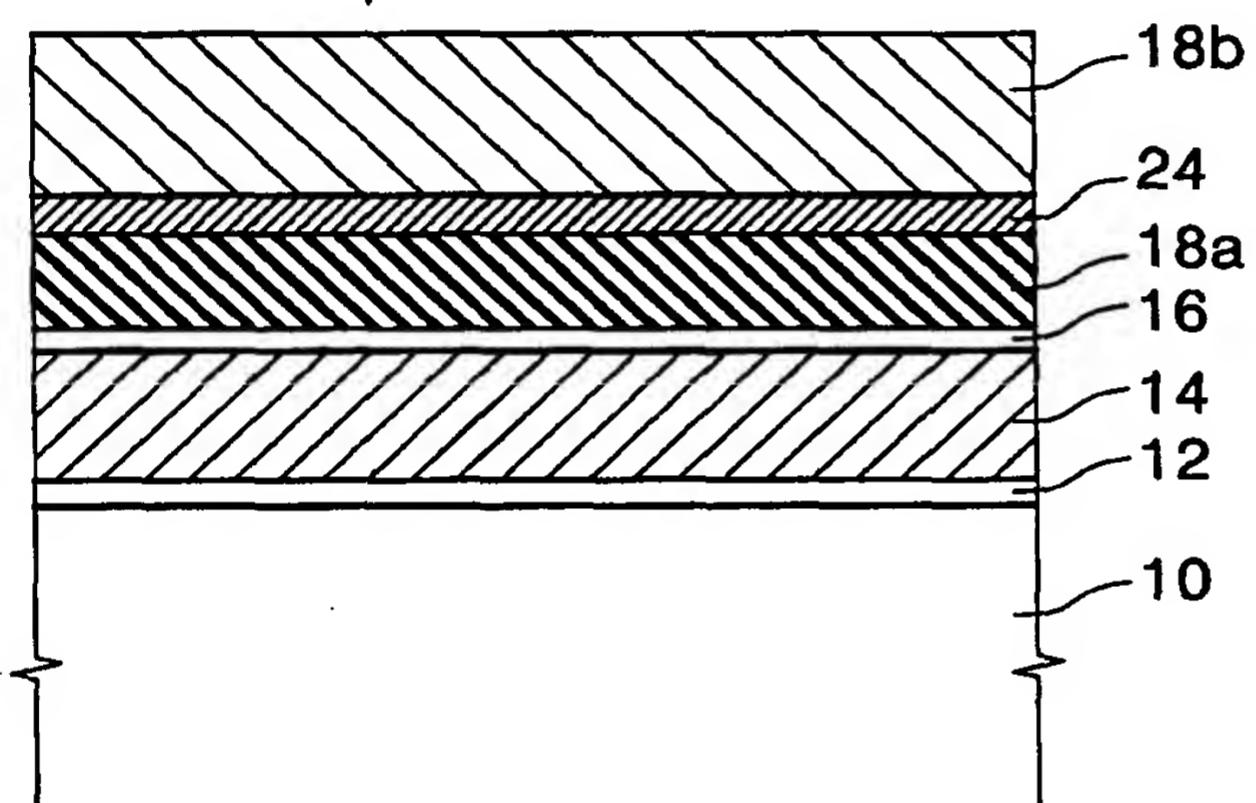
【도 2b】



【도 2c】



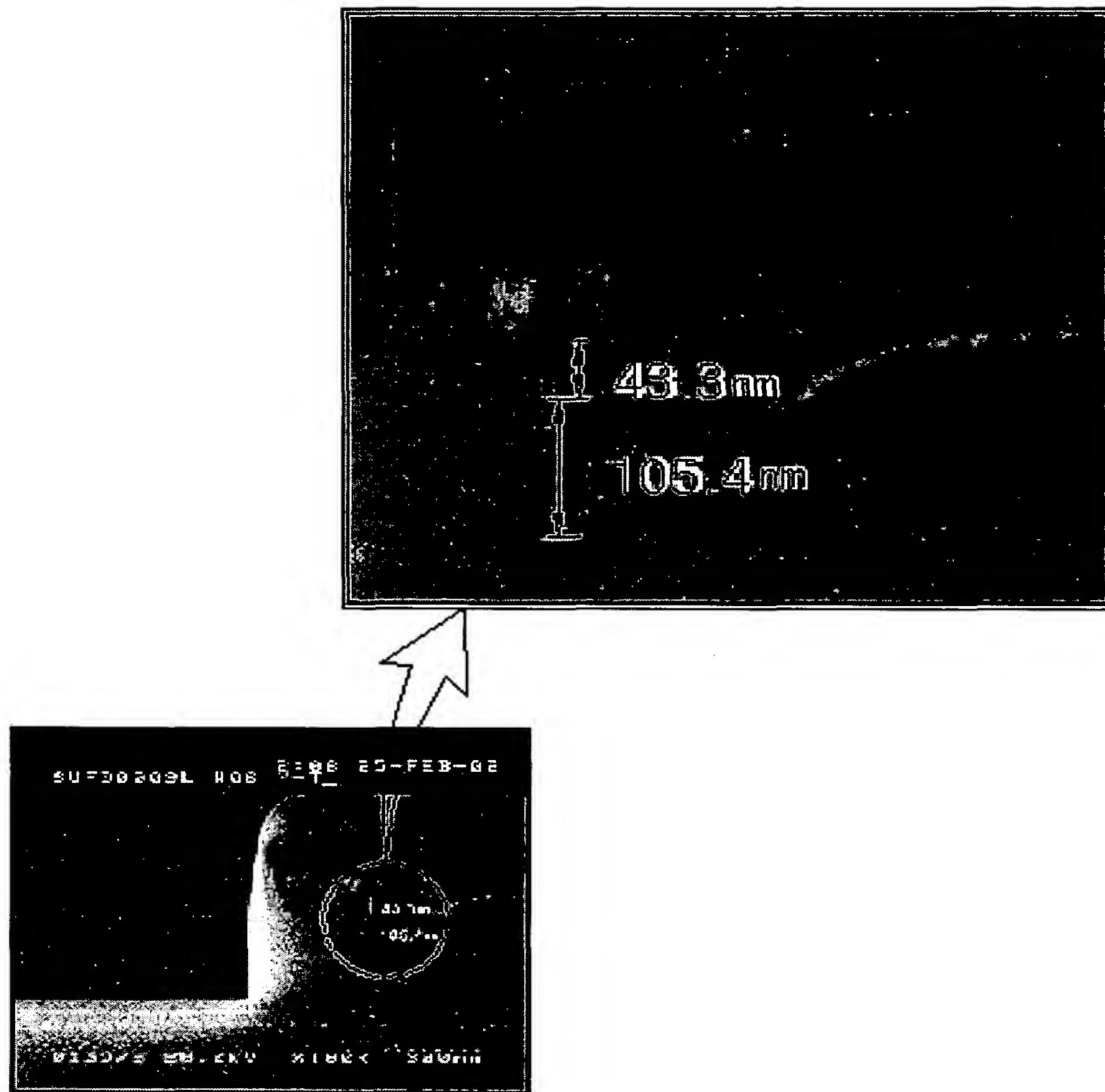
【도 2d】



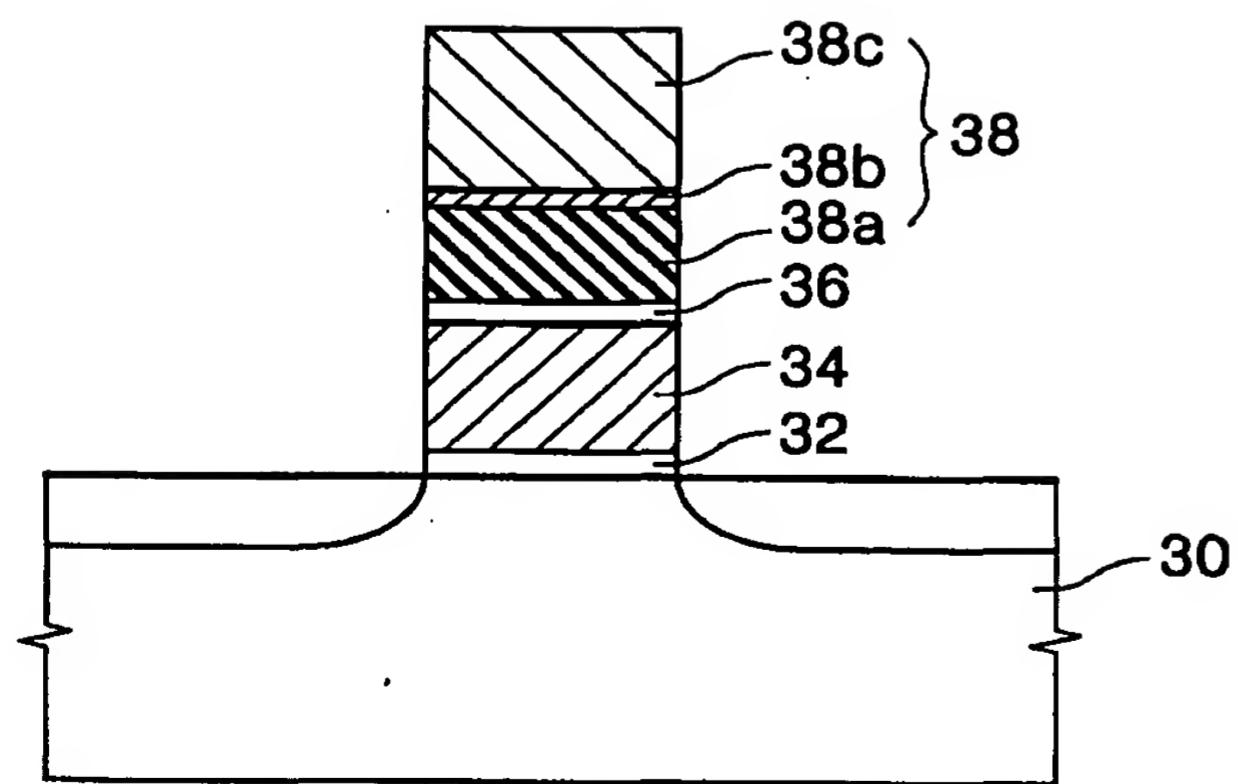
1020020048979

출력 일자: 2002/9/12

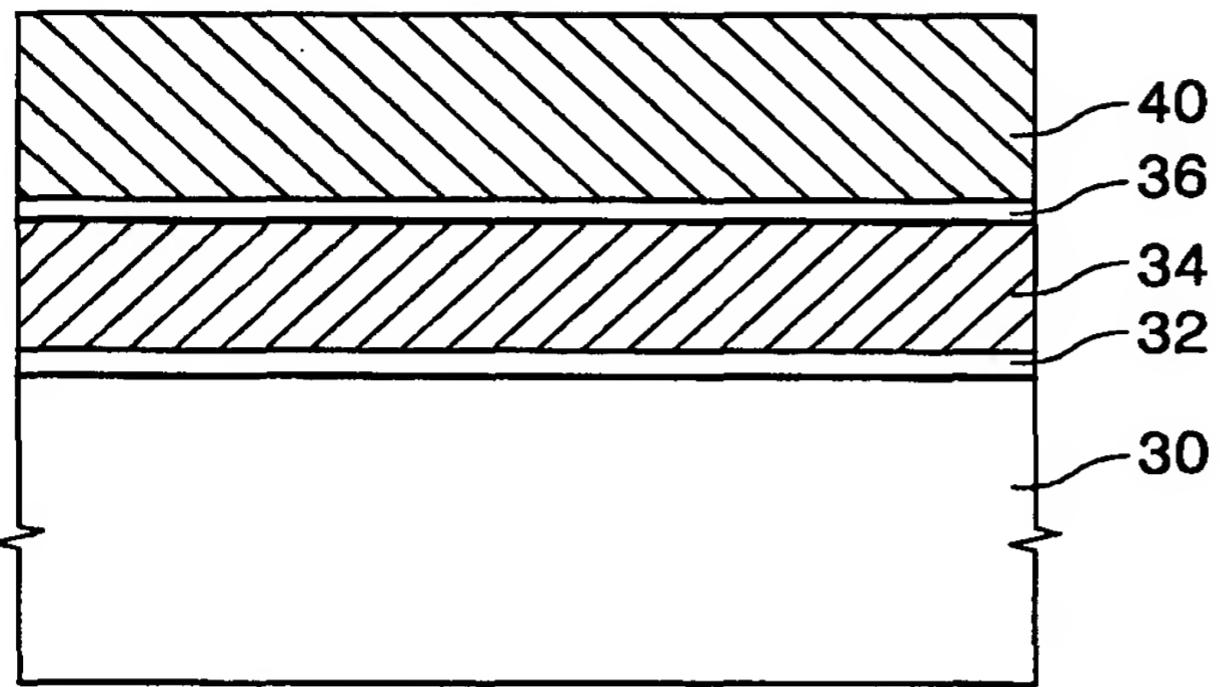
【도 3】



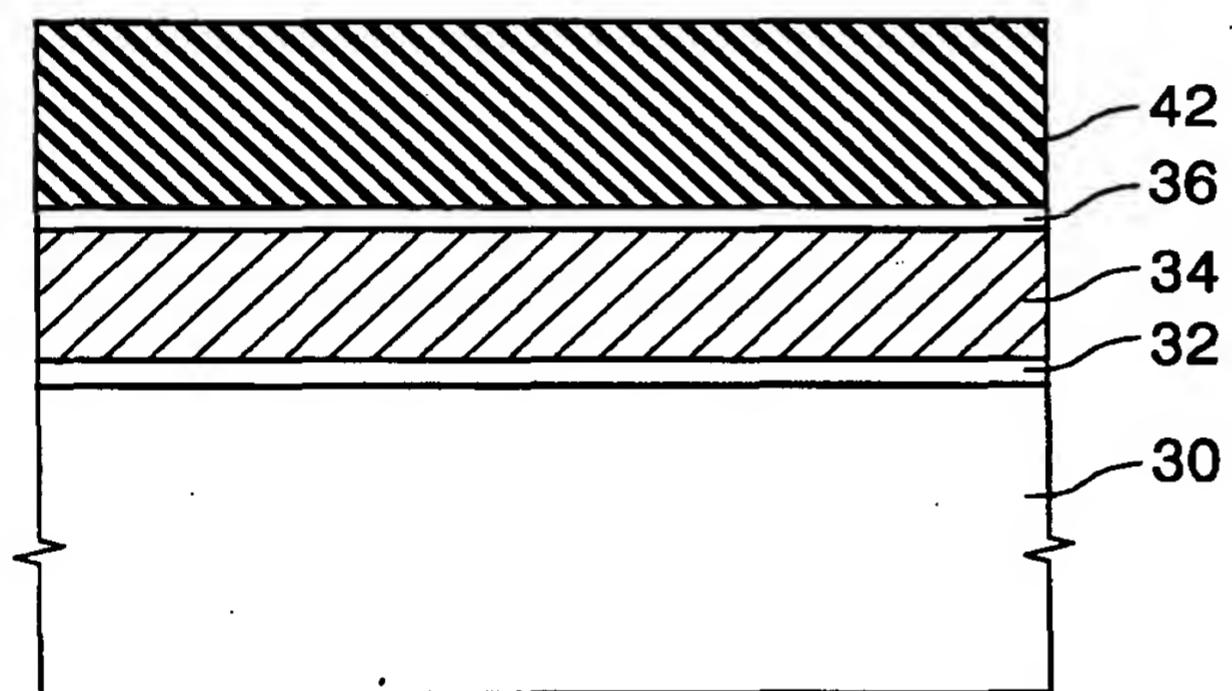
【도 4】



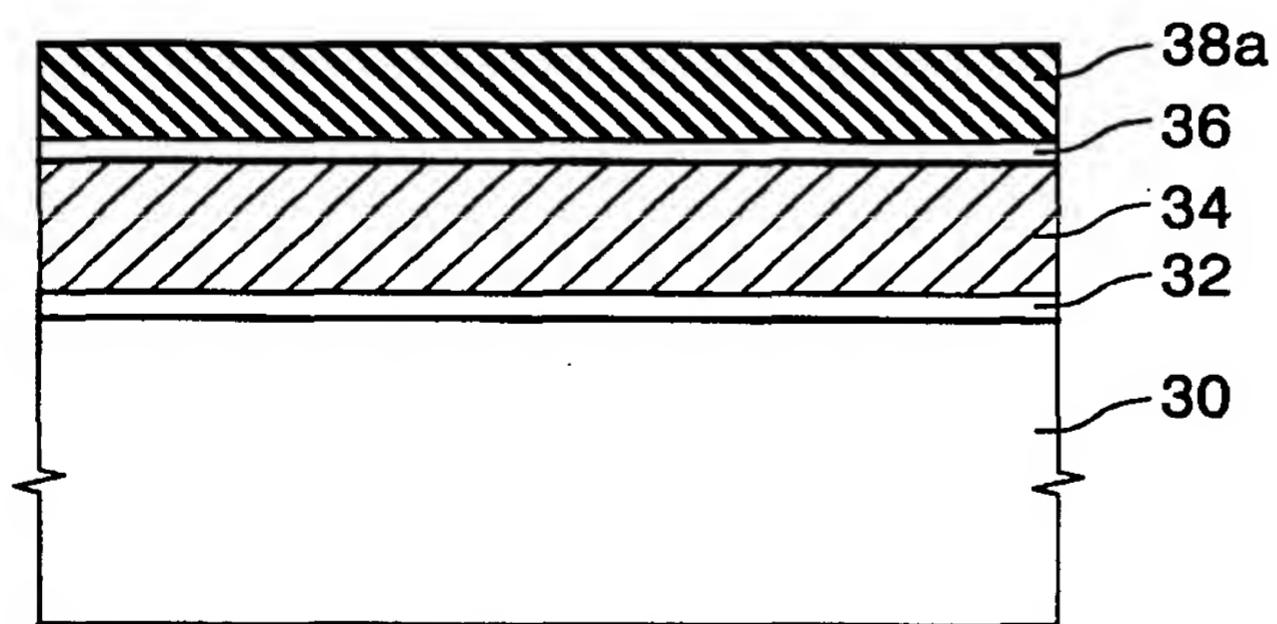
【도 5a】



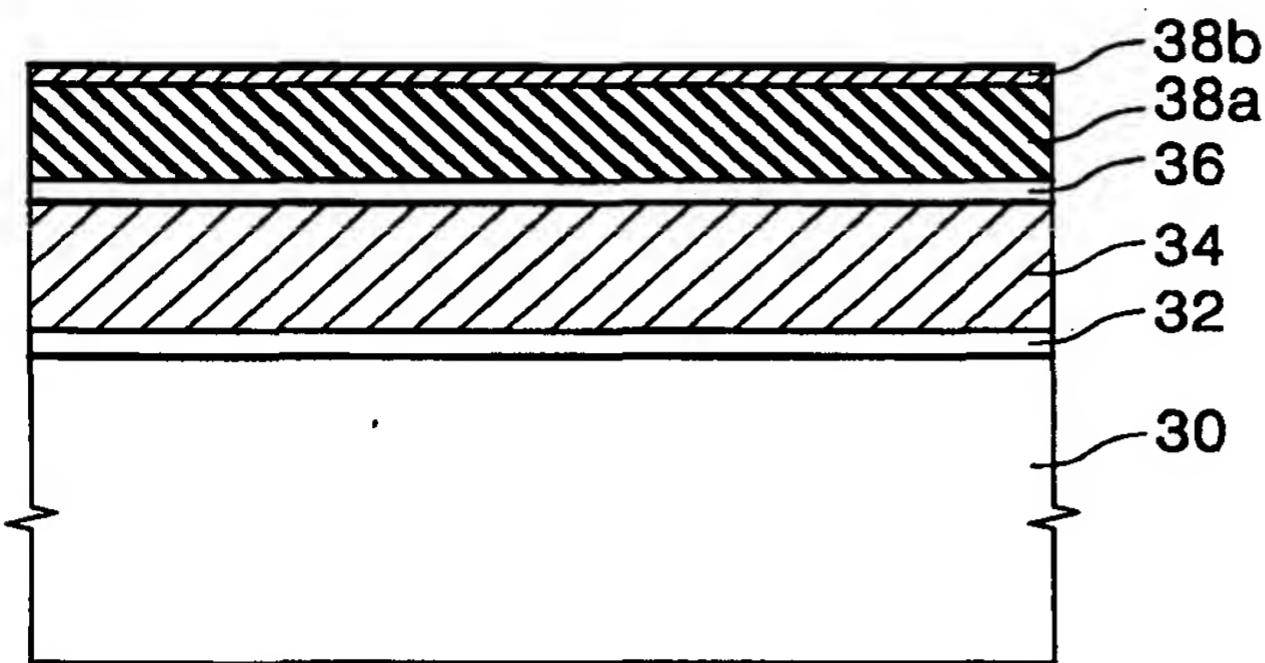
【도 5b】



【도 5c】



【도 5d】



【도 5e】

